

(11) 特許出願公開番号

特開2009-254736

(P2009-254736A)

(43) 公開日 平成21年11月5日(2009.11.5)

(51) Int. Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 0	4 C 0 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 U	5 C 0 5 4
H 0 4 N 5/225 (2006.01)	H 0 4 N 5/225 C	5 C 1 2 2

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2008-109985 (P2008-109985)
(22) 出願日 平成20年4月21日 (2008. 4. 21)

(71) 出願人	000113263 H O Y A 株式会社 東京都新宿区中落合2丁目7番5号
(74) 代理人	100090169 弁理士 松浦 孝
(74) 代理人	100124497 弁理士 小倉 洋樹
(74) 代理人	100127306 弁理士 野中 剛
(74) 代理人	100129746 弁理士 虎山 滋郎
(74) 代理人	100132045 弁理士 坪内 伸

最終頁に続く

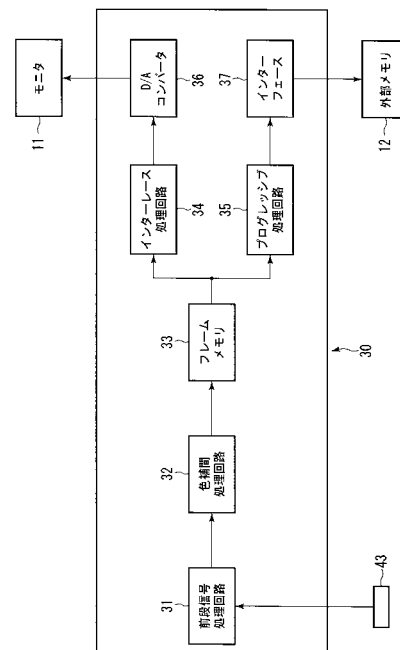
(54) 【発明の名称】 内視鏡制御ユニットおよび内視鏡システム

(57) 【要約】

【課題】CMOS撮像素子のローリングシャッタ歪みを低減化する。

【解決手段】CMOS撮像素子43は1／60秒で1フレームの画像信号を生成する。また、CMOS撮像素子43は1／30秒に1フレームの画像信号を生成する。CMOS撮像素子43は画像信号をプログレッシブ出力する。CMOS画像信号画像処理ユニット30はCMOS撮像素子43から画像信号を受信する。画像信号をフレームメモリ33に格納する。インターレース処理回路34はフレームメモリ33に格納された画像信号をインターレース出力する。また、インターレース処理回路34は1／30秒に1フレームの画像信号をインターレース出力する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

電子内視鏡に設けられる C M O S 撮像素子に画像を撮像させ、撮像により前記 C M O S 撮像素子が生成する画像信号をモニタに供給するための信号処理を施す内視鏡制御ユニットであって、

前記モニタに動画像を表示するための 1 フレームの前記画像信号に相当する画像の切替えにかかる所定の長さの第 1 の期間より短い第 2 の期間に、前記 C M O S 撮像素子に 1 フレームの画像信号を生成させる撮像素子コントローラと、

前記撮像素子が生成した 1 フレームの前記画像信号を前記第 1 の期間かけて前記モニタに出力するように、前記画像信号に第 1 の信号処理を施す第 1 の信号処理部とを備えることを特徴とする内視鏡制御ユニット。

10

【請求項 2】

前記第 1 の信号処理部は、前記画像信号を構成する第 1 の画素信号群と第 2 の画素信号群とを別々にインターレース出力することを特徴とする請求項 1 に記載の内視鏡制御ユニット。

【請求項 3】

前記信号処理部は、同じフレームの前記画像信号を構成する前記第 1、第 2 の画素信号群を別々にインターレース出力することを特徴とする請求項 2 に記載の内視鏡制御ユニット。

【請求項 4】

前記第 1 の期間は前記第 2 の期間の偶数倍であり、
前記第 1、第 2 の画素信号群は、前記第 1、第 2 の画素信号群が出力されるときに前記第 1 の信号処理部が受信する別々のフレームの前記画像信号を構成する前記第 1、第 2 の画素信号群である
ことを特徴とする請求項 2 に記載の内視鏡制御ユニット。

20

【請求項 5】

前記信号処理部による前記第 1 の信号処理が施される前に、同じフレームの前記画像信号を構成する前記第 1 の画素信号群の画素信号を用いて前記第 2 の画素信号群の画素信号の色補間処理を施す第 2 の信号処理部を備えることを特徴とする請求項 3 または請求項 4 に記載の内視鏡制御ユニット。

30

【請求項 6】

前記撮像素子が生成した前記画像信号を外部機器に、プログレッシブ出力、または同じフレームの前記画像信号を構成する第 1 の画素信号群と第 2 の画素信号群とを別々にインターレース出力する第 3 の信号処理部を備えることを特徴とする請求項 1 に記載の内視鏡制御ユニット。

【請求項 7】

前記 C M O S 撮像素子は、前記画像信号を構成する複数の画素信号を同時に複数出力可能であることを特徴とする請求項 1 ～請求項 6 のいずれか 1 項に記載の内視鏡制御ユニット。

【請求項 8】

電子内視鏡に設けられる C M O S 撮像素子と、
前記 C M O S 撮像素子が撮像により生成した画像信号に基づく画像を表示するモニタと、

40

前記モニタに動画像を表示するための 1 フレームの前記画像信号に相当する画像の切替えにかかる所定の長さの第 1 の期間より短い第 2 の期間に、前記 C M O S 撮像素子に 1 フレームの画像信号を生成させる撮像素子コントローラと、

前記撮像素子が生成した 1 フレームの前記画像信号を前記第 1 の期間かけて前記モニタに出力するように、前記画像信号に第 1 の信号処理を施す第 1 の信号処理部とを備えることを特徴とする内視鏡ユニット。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、CMOS撮像素子を用いた電子内視鏡において動く被写体を撮像するときに発生するローリングシャッタ歪みの影響の低減化に関する。

【背景技術】

【0002】

動画を撮像する機器として挿入管の先端に撮像素子を設けた電子内視鏡が知られている。従来の電子内視鏡には、CCD撮像素子が用いられていた。しかし、CCD撮像素子の駆動や画像信号の伝送には多くの信号線が必要であり、電子内視鏡の挿入管の細径化の障害となっていた。

10

【0003】

CCD撮像素子より製造コストや電力消費量が低く、また必要な信号線の数も少ないCMOS撮像素子が知られている（特許文献1参照）。このようなCMOS撮像素子を電子内視鏡に用いることが望まれている。

【0004】

しかし、一般的にCMOS撮像素子にはライン露光により撮像させるため、高速で動く被写体を撮像する場合に被写体像にローリングシャッタ歪みが生じることが問題であった。

【特許文献1】特開平11-196332号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0005】

したがって、本発明では、ローリングシャッタ歪みの影響を低減化するように、動く被写体をCMOS撮像素子に撮像させ、撮像に基づきCMOS撮像素子が生成する画像信号の信号処理を行う内視鏡制御ユニットの提供を目的とする。

【課題を解決するための手段】

【0006】

本発明の内視鏡制御ユニットは、電子内視鏡に設けられるCMOS撮像素子に画像を撮像させ撮像によりCMOS撮像素子が生成する画像信号をモニタに供給するための信号処理を施す内視鏡制御ユニットであって、モニタに動画像を表示するための1フレームの画像信号に相当する画像の切替えにかかる所定の長さの第1の期間より短い第2の期間にCMOS撮像素子に1フレームの画像信号を生成させる撮像素子コントローラと、撮像素子が生成した1フレームの画像信号を第1の期間かけてモニタに出力するように、画像信号に第1の信号処理を施す第1の信号処理部とを備えることを特徴としている。

30

【0007】

なお、第1の信号処理部は、画像信号を構成する第1の画素信号群と第2の画素信号群とを別々にインターレース出力することが好ましい。

【0008】

また、信号処理部は、同じフレームの前記画像信号を構成する第1、第2の画素信号群を別々にインターレース出力することが好ましい。

40

【0009】

また、第1の期間は前記第2の期間の偶数倍であり、第1、第2の画素信号群は第1、第2の画素信号群が出力されるときに第1の信号処理部が受信する別々のフレームの画像信号を構成する第1、第2の画素信号群であることが好ましい。

【0010】

また、信号処理部による第1の信号処理が施される前に、同じフレームの画像信号を構成する第1の画素信号群の画素信号を用いて第2の画素信号群の画素信号の色補間処理を施す第2の信号処理部を備えることが好ましい。

【0011】

また、撮像素子が生成した画像信号を外部機器にプログレッシブ出力、または同じフレ

50

ームの画像信号を構成する第１の画素信号群と第２の画素信号群とを別々にインターレース出力する第３の信号処理部を備えることが好ましい。

【００１２】

また、ＣＭＯＳ撮像素子は、画像信号を構成する複数の画素信号を同時に複数出力可能であることが好ましい。

【００１３】

また、本発明の内視鏡ユニットは、電子内視鏡に設けられるＣＭＯＳ撮像素子と、ＣＭＯＳ撮像素子が撮像により生成した画像信号に基づく画像を表示するモニタと、モニタに動画像を表示するための１フレームの画像信号に相当する画像の切替えにかかる所定の長さの第１の期間より短い第２の期間にＣＭＯＳ撮像素子に１フレームの画像信号を生成させる撮像素子コントローラと、撮像素子が生成した１フレームの画像信号を第１の期間かけてモニタに出力するように画像信号に第１の信号処理を施す第１の信号処理部とを備えることを特徴としている。

【発明の効果】

【００１４】

本発明によれば、モニタによって定められた画像信号のフレーム期間と異なるフレーム期間で生成される画像信号をモニタに出力することが可能になる。したがって、内視鏡に設けられるＣＭＯＳ撮像素子のフレーム期間を短縮化することが可能となり、ローリングシャッタ歪みの影響を低減化可能である。

【発明を実施するための最良の形態】

【００１５】

以下、本発明の実施形態について図面を参照して説明する。

図１は、本発明の第１の実施形態を適用した内視鏡制御ユニットを有する内視鏡システムの内部構成を概略的に示すブロック図である。

【００１６】

内視鏡システム１０は、内視鏡プロセッサ２０、電子内視鏡４０、およびモニタ１１によって構成される。内視鏡プロセッサ２０は、電子内視鏡４０、及びモニタ１１に接続される。

【００１７】

内視鏡プロセッサ２０から被写体に照射するための照明光が電子内視鏡４０に供給される。照明光を照射された被写体が電子内視鏡４０により撮像される。電子内視鏡４０の撮像により生成する画像信号が内視鏡プロセッサ２０に送られる。

【００１８】

内視鏡プロセッサ２０では、電子内視鏡４０から得られた画像信号に対して所定の信号処理が施される。所定の信号処理を施した画像信号はモニタ１１に送信され、送信された画像信号に相当する画像がモニタ１１に表示される。

【００１９】

内視鏡プロセッサ２０には光源２１、画像処理ユニット３０、タイミングジェネレータ２２（撮像素子コントローラ）、およびシステムコントローラ２３などが設けられる。光源２１は被写体に照射する照明光をライトガイド４１の入射端に出射する。また、後述するように、画像処理ユニット３０では画像信号に対して所定の信号処理が施される。タイミングジェネレータ２２により内視鏡システム１０の各部位の動作の時期が制御される。システムコントローラ２３により内視鏡システム１０全体の動作が制御される。

【００２０】

内視鏡プロセッサ２０と電子内視鏡４０とを接続すると、光源２１と電子内視鏡４０に設けられるライトガイド４１とが光学的に接続される。光源２１から出射される照明光がライトガイド４１を介して電子内視鏡４０の出射端から挿入管４２の先端付近に照射される。

【００２１】

照明光が照射されたときの被写体の反射光による光学像が、ＣＭＯＳ撮像素子４３の受

10

20

30

40

50

光面に到達する。CMOS撮像素子43には、タイミングジェネレータ22からクロック信号および読出し開始信号が送信される。クロック信号および読出し開始信号に基づいて、受光する光学像に対応する画像信号が生成される。

【0022】

図2に示すように、CMOS撮像素子43の受光面には複数の画素43pがマトリックス状に配置される。各画素はベイヤー方式に配置されるRGBカラーフィルタによって覆われる。

【0023】

各画素を覆うカラーフィルタに応じた色の光の受光量に応じた画素信号が、画素43p毎に生成される。すなわち、各画素信号の信号強度は、RGBいずれかの受光量に応じたR画素信号成分、G画素信号成分、またはB画素信号成分である。1フレームの画像信号は、全画素43pの画素信号によって構成される。

【0024】

CMOS撮像素子43には一つの信号出力線43oを設けられており、プログレッシブ出力方式で画像信号が生成、出力される。すなわち、1行目に配置された画素43pから順番に画素信号が生成、出力される。1行目の画素信号が出力されると、順番に2、3、…、最終行の画素信号が順番に生成、出力される。

【0025】

CMOS撮像素子43は、読出し開始信号を受信すると、1フレームの画像信号を1/60秒（第2の期間）で生成し、出力する。なお、クロック信号に基づいて、CMOS撮像素子43は読出す行や列の選択などの画像信号生成のための各動作を実行する。

【0026】

読出し開始信号1/30秒毎に、ONとなる。したがって、CMOS撮像素子43では、1/30秒毎に1フレームの画像信号が生成される。生成された画像信号は、画像処理ユニット30に送信される。

【0027】

図3に示すように、画像処理ユニット30は、前段信号処理回路31、色補間処理回路32（第2の信号処理部）、フレームメモリ33、インターレース処理回路34（第1の信号処理部）、プログレッシブ処理回路35（第3の信号処理部）、D/Aコンバータ36、およびインターフェース37などによって構成される。

【0028】

CMOS撮像素子43から受信した画像信号は前段信号処理回路31において、相関二重サンプリング(CDS)処理およびA/D変換処理が施される。したがって、画像信号はアナログ信号からデジタル信号に変換される。

【0029】

デジタル信号に変換された画像信号は、色補間処理回路32に送信される。前述のように、各画素に対応する画素信号はRGBのいずれか一つの色情報であり、他の2色の色情報を有していない。そこで、色補間処理回路32において、同じフレームの画像信号を構成する周囲の画素の画素信号を用いて各画素の画素信号の色情報が補間される。なお、色補間処理回路32はラインバッファ（図示せず）を有しており、ラインバッファに格納された各行の画素信号を用いて色補間処理が施される。

【0030】

色補間処理の施された画像信号は、フレームメモリ33に格納される。インターレース処理回路34は、フレームメモリ33に格納された画像信号をインターレース出力方式でD/Aコンバータ36に出力する。また、プログレッシブ処理回路34は、フレームメモリ33に格納された画像信号をプログレッシブ出力方式でインターフェース37に出力する。以下に、インターレース処理回路34およびプログレッシブ処理回路35における信号の出力について詳細に説明する。

【0031】

図4に示すように、CMOS撮像素子43では、1/60秒を1フレーム期間とし、2

10

20

30

40

50

フレーム期間に一度の割合で1フレームの画像信号が生成され、フレームメモリ33に格納される。なお、前述のように、CMOS撮像素子43の1フレーム期間中に、順番に1、2、3、…最終行の画素信号が順番にフレームメモリ33に格納される（撮像素子出力／フレームメモリ格納欄参照）。

【0032】

インターレース処理回路34およびプログレッシブ処理回路35は、1/30秒（第1の期間）を1フレーム期間、即ち、CMOS撮像素子43の画像信号生成におけるフレーム期間の2倍の長さの期間でフレームメモリ33に格納された画像信号を、それぞれインターレース出力およびプログレッシブ出力する。

【0033】

インターレース処理回路34は、1/30秒のフレーム期間の最初の1/60秒間を奇数フィールド期間（画像処理ユニットフレーム期間欄およびインターレース出力フィールド期間欄参照）としてフレームメモリ33に格納された奇数行の画素信号（第1の画素信号群）をD/Aコンバータ36に送信する。

【0034】

さらに、インターレース処理回路34は、1/30秒のフレーム期間の残りの1/60秒の期間を偶数フィールドとしてフレームメモリ33に格納された偶数行の画素信号（第1の画素信号群）をD/Aコンバータ37に送信する。すなわち、偶数行の画素信号はフレームメモリ33に次のフレームの画像信号が格納される前にインターレース処理回路34に読出され、送信されるので、同じフレームの画像信号を構成する奇数行の画素信号と偶数行の画素信号とがインターレース出力される。

【0035】

なお、奇数行および偶数行の画素信号は、CMOS撮像素子43が各画素信号を生成して出力するときの1/2の速さでD/Aコンバータ36に送信される（インターレース出力欄参照）。D/Aコンバータ36では、奇数フィールドおよび偶数フィールドの画像信号がデジタル信号からアナログ信号に変換され、モニタ11に送信される。

【0036】

プログレッシブ処理回路35は、CMOS撮像素子43が各画素信号を生成して出力するときの1/2の速さで画素信号をインターフェース33に送信する（プログレッシブ出力欄参照）。インターフェース37には、外部メモリ12や他の内視鏡プロセッサ20など接続可能であり、プログレッシブ出力される画像信号はこれらの外部機器に送信される。

【0037】

以上のように、本発明の第1の実施形態である内視鏡制御ユニットによれば、ローリングシャッタ歪みの影響を低減化可能である。以下に、歪みが低減化される仕組みについて説明する。

【0038】

通常のモニタは、例えばNTSCなどの規格により、1/60秒毎に奇数フィールドおよび偶数フィールドが切替えられる30fpsのフレームレートで、表示される画像が切替えられている。そのため、モニタには、30fpsのフレームレートで画像信号が入力される必要がある。

【0039】

一方で、30fpsのフレームレートで画像信号を入力させるために1/30秒間に1フレームの画像信号をCMOS撮像素子に生成させると、同じフレームの画像信号において最初の画素信号のための受光時期と最後の画素信号のための受光時期とが長くなるため、ローリングシャッタ歪みの影響が表示される画像に現れていた。

【0040】

そこで第1の実施形態の内視鏡制御ユニットでは、モニタ固有のフレームレートより高いフレームレートで生成される画像信号がインターレース処理回路34によりモニタ固有のフレームレートに変換して出力可能である。したがって、1フレームの画像信号の生成

10

20

30

40

50

期間を、モニタ 11 における表示画像の切替えにかかる期間より短縮することが可能となり、ローリングシャッタ歪みの影響が従来の内視鏡システムより低減化される。

【0041】

次に、本発明の第 2 の実施形態の内視鏡制御ユニットについて説明する。第 2 の実施形態は、CMOS 撮像素子の駆動パターン、画像処理ユニットの構成、およびインターレース処理回路によるインターレース出力方式が第 1 の実施形態と異なっている。以下に、第 1 の実施形態と異なる点を説明する。なお、第 1 の実施形態と同じ機能を有する部位には、同じ符号を付す。

【0042】

CMOS 撮像素子 430 (図 5 参照) は、第 1 の実施形態と同様に、プログレッシブ出力方式で、画像信号を生成し、出力する。また、第 1 の実施形態と同様に、読出し開始信号を受信すると、1 フレームの画像信号を 1/60 秒で生成し、出力する。

【0043】

第 1 の実施形態と異なり、1/60 秒毎に読出し開始信号が ON に切替わる。したがって、CMOS 撮像素子 430 では、1/60 秒毎に 1 フレームの画像信号が生成される。つまり、図 6 に示すように、CMOS 撮像素子 430 では、1/60 秒を 1 フレーム期間とし、フレーム期間毎に 1 フレームの画像信号が生成される。第 1 の実施形態同様、生成された画像信号は画像処理ユニット 300 に送信される。

【0044】

第 1 の実施形態と同じく、画像処理ユニット 300 (図 5 参照) は、前段信号処理回路 31、色補間処理回路 32、インターレース処理回路 34、プログレッシブ処理回路 35、D/A コンバータ 36、およびインターフェース 37 などによって構成される。第 1 の実施形態と異なり、画像処理ユニット 300 にはフレームメモリが設けられない。

【0045】

第 1 の実施形態と同じく、CMOS 撮像素子 430 から受信した画像信号は、前段信号処理回路 31 において CDS 処理および A/D 変換処理が施され、さらに色補間処理回路 32 において、色補間処理が施される。

【0046】

色補間処理の施された画像信号は、直接インターレース処理回路 34 およびプログレッシブ処理回路 35 に送信される。

【0047】

インターレース処理回路 34 は、奇数フィールド期間 (図 6 画像処理ユニットフレーム期間欄およびインターレース出力フィールド期間欄参照) 中に画像処理ユニット 300 が受信する画像信号の奇数行の画素信号のみを D/A コンバータ 36 に送信する。なお、同じフレームの画像信号の偶数行の画素信号は破棄される。

【0048】

また、インターレース処理回路 34 は、偶数フィールド期間中に画像処理ユニット 300 が受信する画像信号の偶数行の画素信号のみを D/A コンバータ 36 に送信する。なお、同じフレームの画像信号の奇数行の画素信号は破棄される。

【0049】

プログレッシブ処理回路 35 は、CMOS 撮像素子 430 が各画素信号を生成して出力するときと同じ速さで画素信号をインターフェース 37 に送信する (プログレッシブ出力欄参照)。

【0050】

以上のように、本発明の第 2 の実施形態の内視鏡制御ユニットによっても、ローリングシャッタ歪みの影響を低減化可能である。また、第 2 の実施形態によれば、フレームメモリを省くことが出来るので、製造コストを低減化することが可能である。

【0051】

次に、本発明の第 3 の実施形態の内視鏡制御ユニットについて説明する。第 3 の実施形態は、CMOS 撮像素子による画像信号生成の速さ、インターレース出力時に用いられる

10

20

30

40

50

画像信号、および画像信号生成の速さに対するインターレース出力の速さが第1の実施形態と異なっている。なお、第1の実施形態と同じ機能を有する部位には、同じ符号を付す。

【0052】

第3の実施形態のCMOS撮像素子43は、第1の実施形態と同様に、プログレッシブ出力方式で、画像信号を生成し、出力する。なお、第1の実施形態と異なり、第3の実施形態のCMOS撮像素子43は、読出し開始信号を受信すると、1フレームの画像信号を1/120秒で生成し、出力する。すなわち、第3の実施形態のCMOS撮像素子43は、1/120秒を1フレーム期間とする。

【0053】

さらに、第1の実施形態と異なり、1/60秒毎に読出し開始信号がONに切替わる。したがって、第3の実施形態のCMOS撮像素子43では、1/60秒毎に1フレームの画像信号が生成される（図7参照）。生成された画像信号は画像処理ユニット30に送信される。

【0054】

第1の実施形態と同様に、画像処理ユニット30に送信された画像信号は、CDS処理、A/D変換処理、色補間処理が施され、フレームメモリ33に格納される。

【0055】

第1の実施形態同様、インターレース処理回路34は、1/30秒のフレーム期間の最初の1/60秒間を奇数フィールド期間（画像処理ユニットフレーム期間欄およびインターレース出力フィールド期間欄参照）としてフレームメモリ33に格納された奇数行の画素信号をD/Aコンバータ36に送信する。

【0056】

さらに、インターレース処理回路34は、1/30秒のフレーム期間の残りの1/60秒の期間を偶数フィールドとしてフレームメモリ33に格納された偶数行の画素信号をD/Aコンバータ37に送信する。

【0057】

ただし、第1の実施形態と異なり、偶数行の画素信号を読出すときには、フレームメモリ33に次のフレームの画像信号が格納される。したがって、それぞれ別々の画像信号を構成する奇数行の画素信号と偶数行の画素信号とがインターレース出力される。

【0058】

したがって、奇数行および偶数行の画素信号は、CMOS撮像素子43が各画素信号を生成して出力するときの1/4の速さでD/Aコンバータ36に送信される（インターレース出力欄参照）。

【0059】

以上のように、本発明の第3の実施形態の内視鏡制御ユニットによっても、ローリングシャッタ歪みの影響を低減化可能である。なお、第3の実施形態では、第1の実施形態の2倍の速さで1フレームの画像信号を生成するので、更なるローリングシャッタ歪みの低減化が可能である。

【0060】

なお、第1、第2の実施形態においてCMOS撮像素子43、430が生成する画像信号のフレーム期間はモニタ11へ送信する画像信号のフレーム期間の1/2倍、第3の実施形態においてCMOS撮像素子43が生成する画像信号のフレーム期間はモニタ11へ送信する画像信号のフレーム期間の1/4倍であるが、0より大きく1未満であれば何倍であってもよい。すなわち、CMOS撮像素子43が生成する画像信号のフレーム期間よりモニタ11へ送信する画像信号のフレーム期間が短ければ、本実施形態同様にローリングシャッタ歪みの影響を低減化可能である。

【0061】

また、第1～第3の実施形態において、クロック信号の周波数を高くすることによりCMOS撮像素子による画像信号生成のフレーム期間を短縮することが可能である。または

10

20

30

40

50

、図 8 に示すように、複数の信号出力線 430 を備える多チャンネル型の CMOS 撮像素子 4300 を用いることによって画像信号生成のフレーム期間を短縮することが可能である。

【0062】

また、第 1 ～ 第 3 の実施形態において、色補間処理回路 32 はインターレース処理回路 34 の前に設けられインターレース出力する前に色補間が行われる構成であるが、インターレース処理回路 34 の後に色保管処理回路 32 が設けられる構成であってもよい。ただし、第 1 ～ 第 3 の実施形態のように、インターレース出力する前に色補間することにより奇数行の画素信号は隣接する偶数行の画素信号を用いて、偶数行の画素信号は隣接する奇数行の画素信号を用いた色補間が可能であって、より色の再現性を高くすることが可能である。

10

【0063】

また、第 1 ～ 第 3 の実施形態において、画像信号を外部機器にプログレッシブ出力するためにプログレッシブ処理回路 35 が設けられる構成であるが、外部機器にインターレース出力する回路であってもよいし、設けられなくてもよい。外部機器に出力するための回路の機能、有無に関わらず、ローリングシャッタ歪みの低減化が可能である。なお、インターレース出力をする場合には、同じフレームの画像信号を構成する奇数フィールドの画素信号と偶数フィールドの画素信号とが出力されることが好ましい。

【0064】

また、第 1 の実施形態においてプログレッシブ出力する画像信号のフレーム期間は 1 / 30 秒、第 2、第 3 の実施形態においてプログレッシブ出力する画像信号のフレーム期間は 1 / 60 秒であるが、フレーム期間はいくらであってもよい。

20

【0065】

また、第 2 の実施形態において、モニタ 11 へ送信する画像信号のフレーム期間は CMOS 撮像素子 430 が生成する画像信号のフレーム期間の 2 倍であるが、偶数倍であれば第 2 の実施形態と同様にフレームメモリ 33 を省くことが可能である。

【図面の簡単な説明】

【0066】

【図 1】本発明の第 1 の実施形態である内視鏡制御ユニットを有する内視鏡システムの内部構成を概略的に示すブロック図である。

30

【図 2】CMOS 撮像素子の概略構成を示すブロック図である。

【図 3】第 1、第 3 の実施形態の画像処理ユニットの概略構成を示すブロック図である。

【図 4】第 1 の実施形態において、CMOS 撮像素子による画像信号生成とインターレース処理回路による画像信号の送信の時期を説明するためのタイミングチャートである。

【図 5】第 2 の実施形態の画像処理ユニットの概略構成を示すブロック図である。

【図 6】第 2 の実施形態において、CMOS 撮像素子による画像信号生成とインターレース処理回路による画像信号の送信の時期を説明するためのタイミングチャートである。

【図 7】第 3 の実施形態において、CMOS 撮像素子による画像信号生成とインターレース処理回路による画像信号の送信の時期を説明するためのタイミングチャートである。

【図 8】多チャンネル型の CMOS 撮像素子の概略構成を示すブロック図である。

40

【符号の説明】

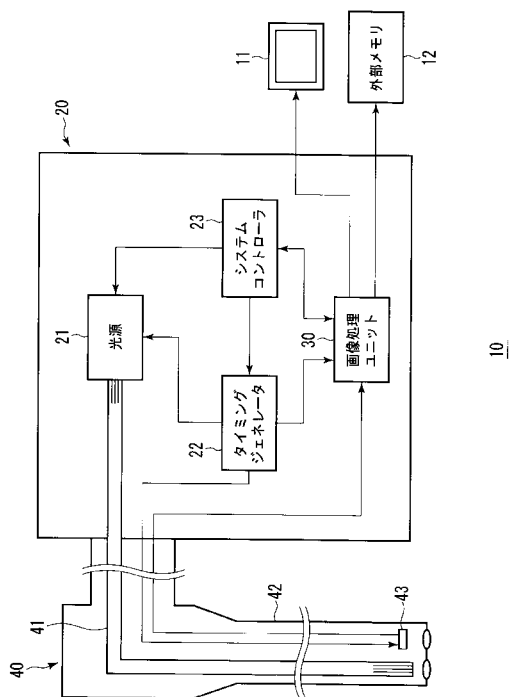
【0067】

- 10 内視鏡システム
- 11 モニタ
- 20 内視鏡プロセッサ
- 22 タイミングジェネレータ
- 30、300 画像処理ユニット
- 32 色補間処理回路
- 33 フレームメモリ
- 34 インターレース処理回路

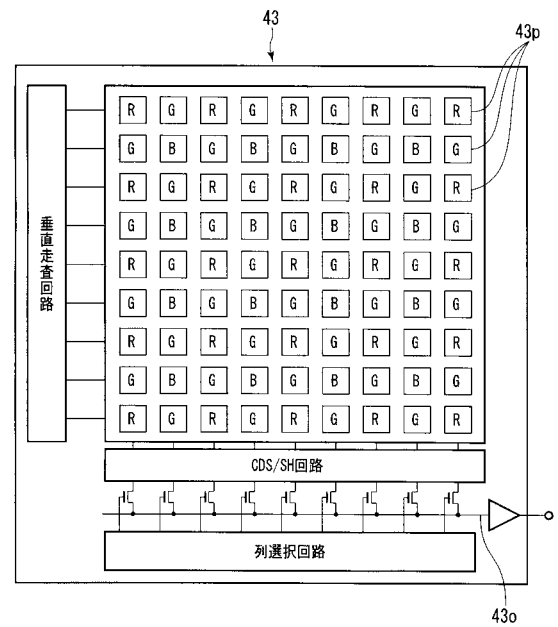
50

- 35 プログレッシブ処理回路
- 40 電子内視鏡
- 43、430、4300 CMOS撮像素子
- 43o 信号出力線
- 43p 画素

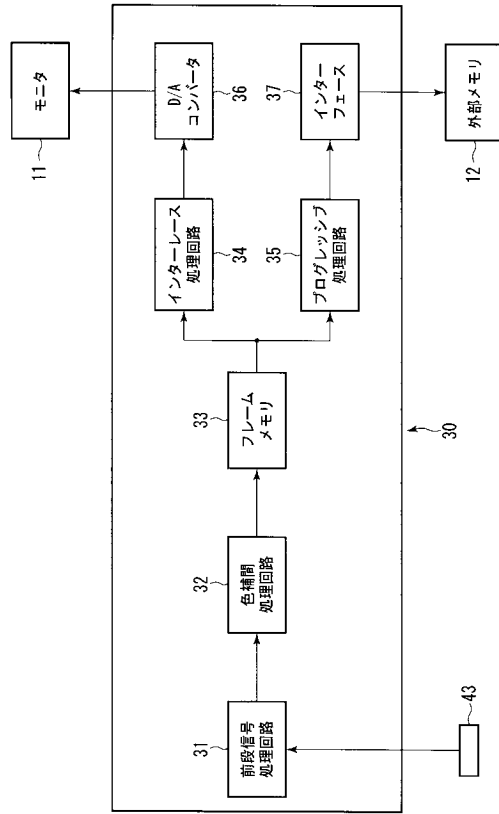
【図1】



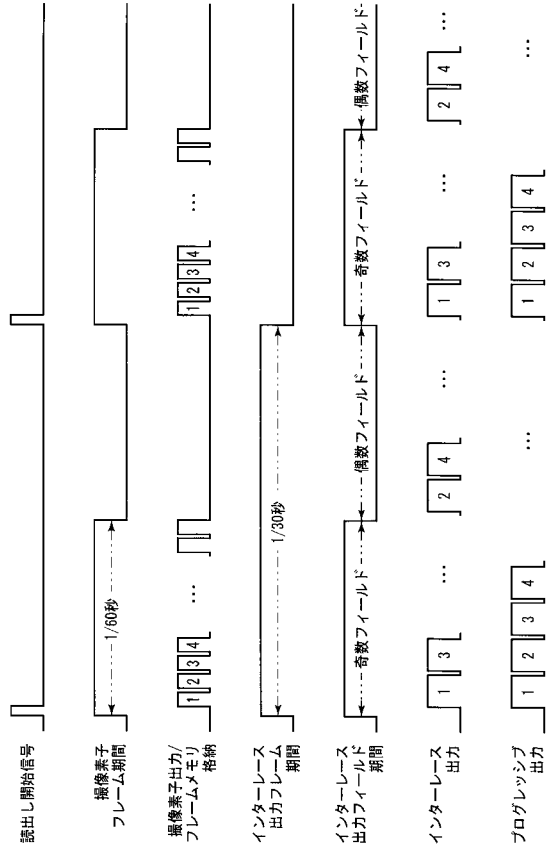
【図2】



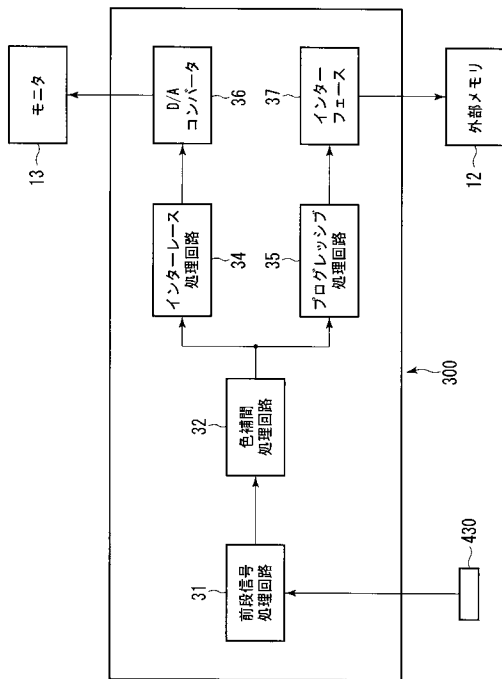
【図 3】



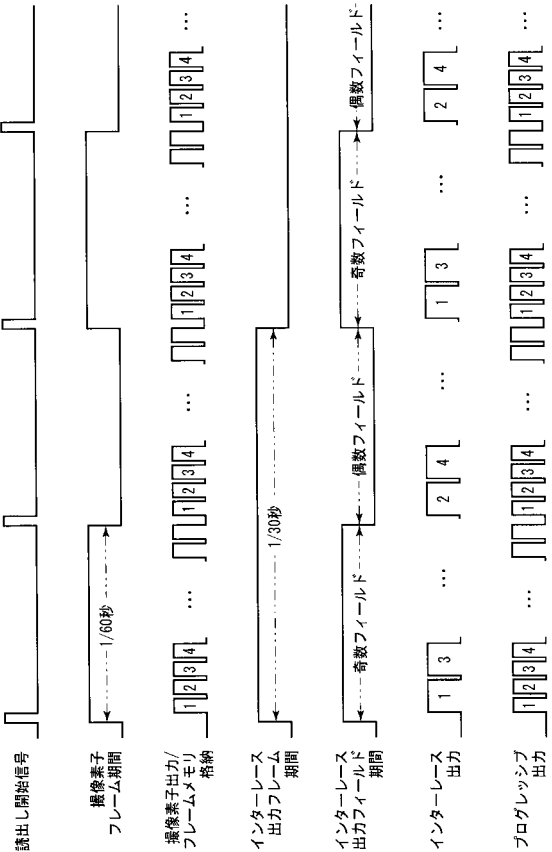
【図 4】



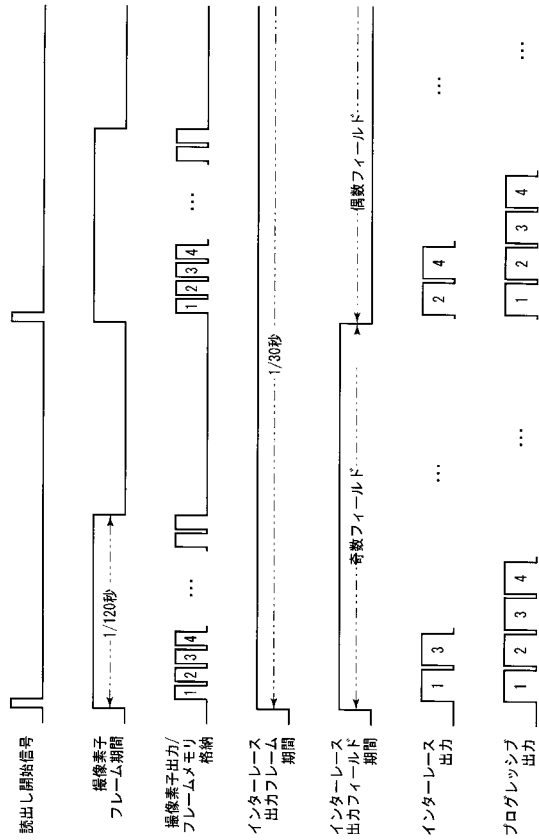
【図 5】



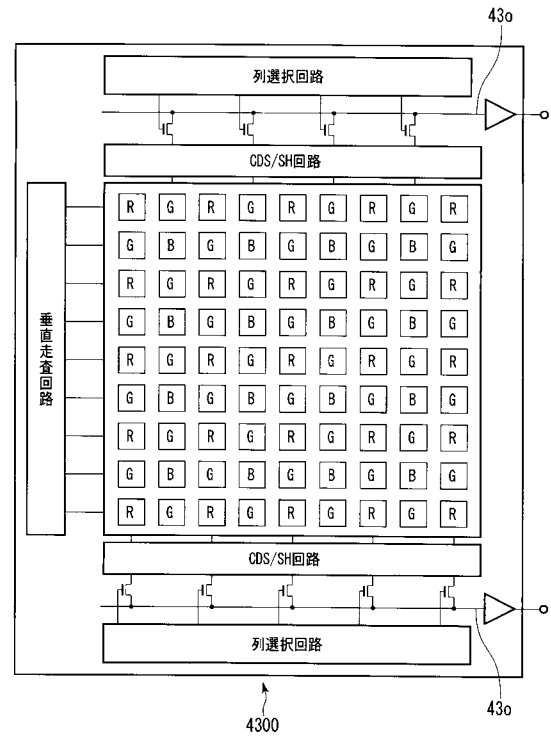
【図 6】



【図 7】



【図 8】



フロントページの続き

- (72)発明者 田畑 彰文
神奈川県横浜市戸塚区吉田町２９２番地 株式会社日立アドバンストデジタル内
- (72)発明者 東海林 孝明
東京都新宿区中落合２丁目７番５号 HOYA株式会社内
- (72)発明者 伊東 哲弘
東京都新宿区中落合２丁目７番５号 HOYA株式会社内
- Fターム(参考) 4C061 CC06 JJ17 LL01 NN01 PP01 SS04 SS10 TT07
5C054 CC02 CF01 EH05 HA12
5C122 DA26 EA31 FC02 FK23 HA89 HB02

专利名称(译)	内窥镜控制单元和内窥镜系统		
公开(公告)号	JP2009254736A	公开(公告)日	2009-11-05
申请号	JP2008109985	申请日	2008-04-21
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
[标]发明人	田畑彰文 東海林孝明 伊東哲弘		
发明人	田畑 彰文 東海林 孝明 伊東 哲弘		
IPC分类号	A61B1/04 H04N7/18 H04N5/225		
CPC分类号	A61B1/05 H04N5/2329 H04N5/343 H04N5/3532 H04N5/374 H04N9/045 H04N2005/2255		
FI分类号	A61B1/04.370 H04N7/18.U H04N5/225.C A61B1/04 A61B1/045.613 A61B1/045.631 H04N5/225 H04N5/225.500 H04N5/232		
F-TERM分类号	4C061/CC06 4C061/JJ17 4C061/LL01 4C061/NN01 4C061/PP01 4C061/SS04 4C061/SS10 4C061/TT07 5C054/CC02 5C054/CF01 5C054/EH05 5C054/HA12 5C122/DA26 5C122/EA31 5C122/FC02 5C122/FK23 5C122/HA89 5C122/HB02 4C161/CC06 4C161/JJ17 4C161/LL01 4C161/NN01 4C161/PP01 4C161/SS04 4C161/SS10 4C161/TT07		
代理人(译)	松浦 孝 野刚		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少CMOS成像设备的卷帘快门失真。解决方案：CMOS成像装置43在1/60秒内产生一帧的图像信号。CMOS成像装置43在1/30秒内产生一帧的图像信号。CMOS成像装置43逐渐输出图像信号。CMOS图像信号图像处理单元30接收来自CMOS成像装置43的图像信号。图像信号存储在帧存储器33中。隔行扫描处理电路34交错地输出存储在帧存储器33中的图像信号。隔行扫描处理电路34以1/30秒的速度交错输出一帧的图像信号。Z

